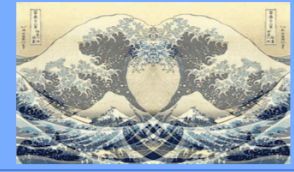


ムーアの法則と原子スケールのトランジスタ

-3次元型トランジスタ構造の可視化-



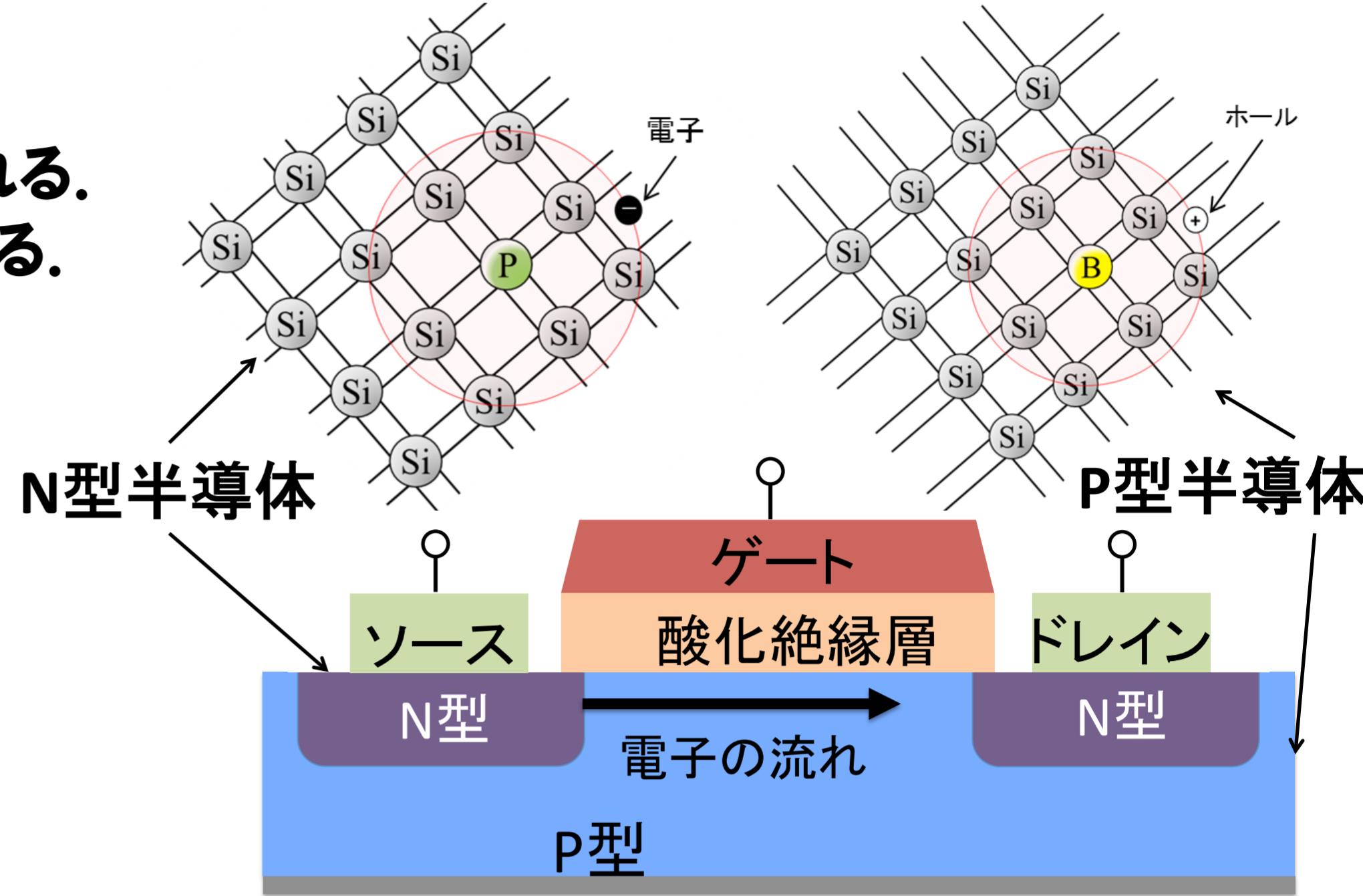
AQUA研究グループ <http://aqua.sfc.wide.ad.jp/>

トランジスタ数の増加とともにコンピュータは進化してきた。トランジスタ微細化の問題点と3次元型トランジスタ構造を考察する。

1. トランジスタとは

半導体であるSi(シリコン)を結合し、トランジスタは形成される。コンピュータの処理はトランジスタのスイッチングで実現される。

シリコンに周期表前後の原子(P, B)をドーピングすることでN型半導体とP型半導体が構成される。これらの半導体を組み合わせ、各電極に電圧を加えることでMOS型電界効果トランジスタが構成される(右図)。このトランジスタはひとつひとつがスイッチの役割を果たす。ゲート電極に加える電圧によりソース・ドレイン間の電流をon/off制御し、コンピュータが用いる2進数の1/0に対応させる。膨大な数のトランジスタに対する高速なon/off制御により、コンピュータの計算処理は実行される^[1]。



MOS型電界効果トランジスタの構成。
(<http://tobitate-student.com/student/wp-content/uploads/2015/09/%E5%98%B35.png>)

2. ムーアの法則とスケールリング

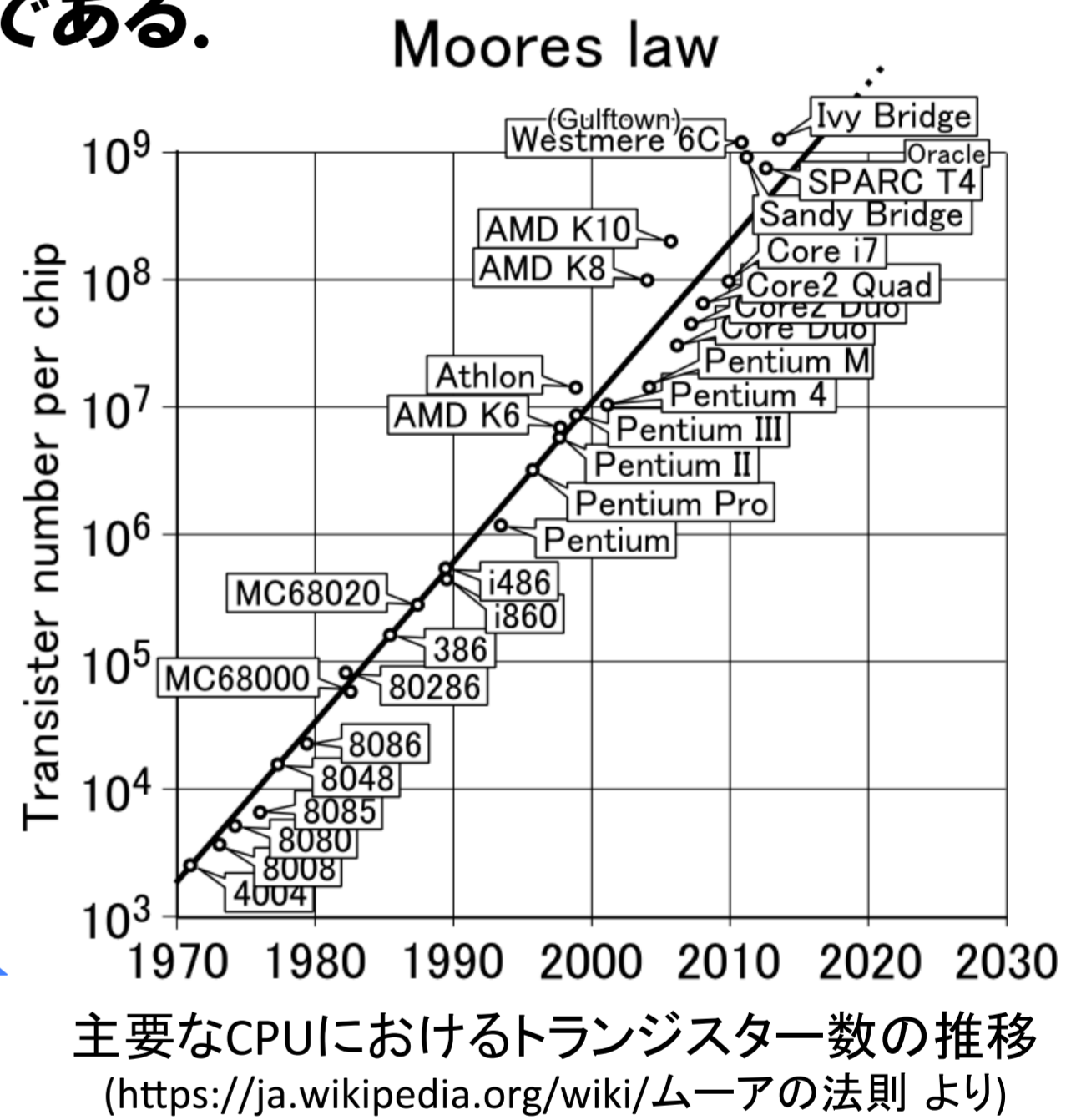
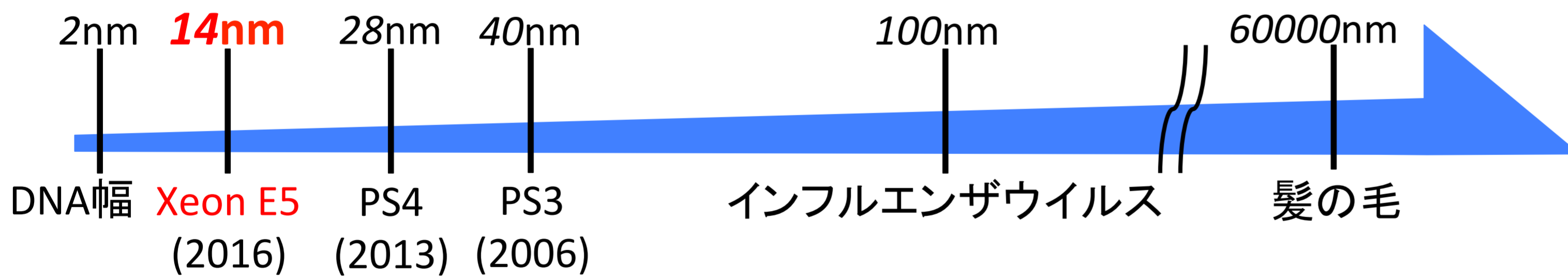
プロセッサ上にあるトランジスタ数の増加に従って、処理能力は向上する。ムーアの法則は、n年後の技術によるトランジスタの集積度向上を示したものである。

ムーアの法則では、P年後のプロセッサが持つトランジスタ数Nは

$$N = 2^{\frac{P}{3}}$$

Ex. 3年で2倍, 30年では $2^{10} \approx 1000$ 倍となる。

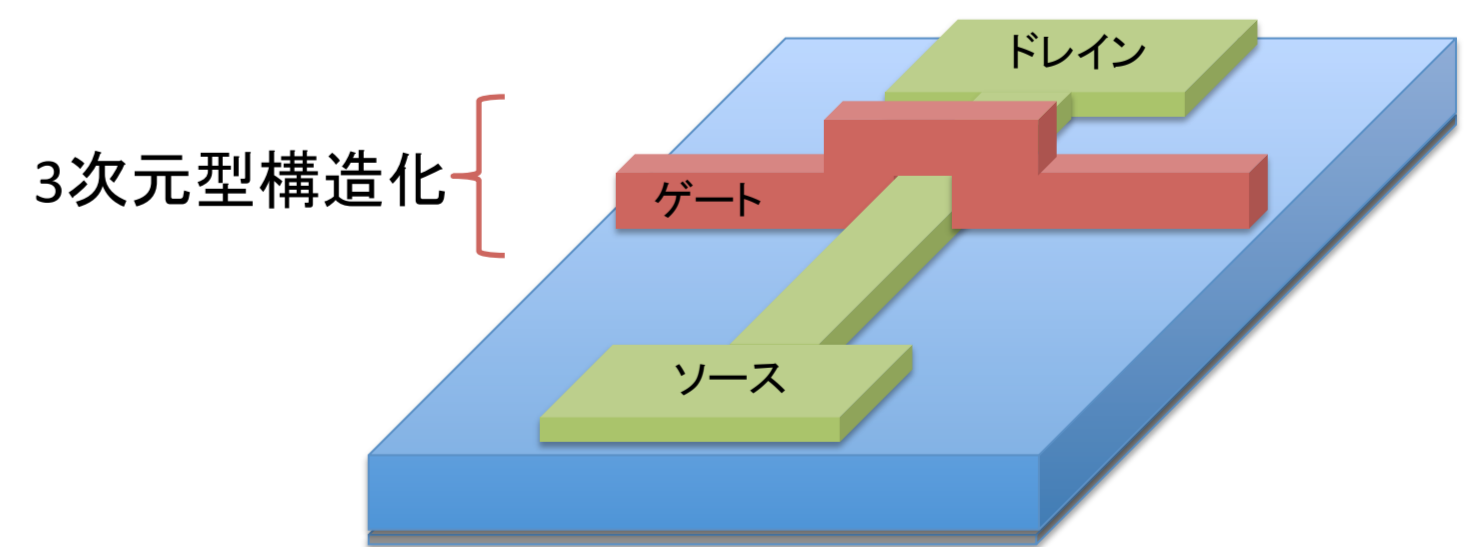
20~30年前のプロセッサには数百個しか内蔵されていなかったのに対し、Intel製最新プロセッサXeon E5には、約72億個のトランジスタが内蔵されている*。このプロセッサでは、回路の配線幅は14nmである。(*https://en.wikipedia.org/wiki/Transistor_count)



3. 短チャネル効果と3次元型トランジスタ

トランジスタの微細化により集積度は向上するが、同時に短チャネル効果が無視できなくなる。この問題への対策の1つとして、3次元型トランジスタがある。

微細化が閾値を超えると短チャネル効果が発生し^[2]、電流のスイッチングが困難になるという問題がある。ゲート長が短くなりソース電極とドレイン電極が近づきすぎると、ゲートを閉じていてもソース・ドレイン間に電流が流れてしまうからだ。この問題を防ぐため、例えば3次元型トランジスタでは、チャンネルをゲートで包み込むことによりゲートのチャンネル抑制性を高めている^[3]。



3次元型トランジスタの模式図

4. 考察

ムーアの法則の破綻は幾度となく指摘されてきたが、新技術により延長されてきた。

3次元型トランジスタも、ムーアの法則を維持する技術の1つである。次世代型のコンピュータでは3次元型トランジスタの重要性が増していくと考えられる。

参考

[1]高校数学でわかる半導体の原理(著者:竹内淳 出版社:講談社)

[3]集積ナノデバイス(著者:内田建 杉井信之 竹内潔 編集者:平本俊郎 出版社:丸善出版)

[2]図説 電子デバイス(著:菅博 川畑敬志 矢野満明 田中満 出版社:産業図書)